

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

16.07.03

REC'D 05 SEP 2003

WIPO

PCT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日  
Date of Application: 2002年 7月16日

出 願 番 号  
Application Number: 特願2002-206678  
[ST. 10/C]: [JP2002-206678]

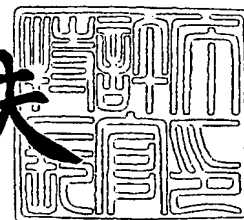
出 願 人  
Applicant(s): 日本電気株式会社

PRIORITY DOCUMENT  
SUBMITTED OR TRANSMITTED IN  
COMPLIANCE WITH  
RULE 17.1(a) OR (b)

2003年 8月21日

特許庁長官  
Commissioner,  
Japan Patent Office

今井康夫



BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 34002260

【提出日】 平成14年 7月16日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/12

【発明者】

    【住所又は居所】 東京都港区芝五丁目 7 番 1 号  
                        日本電気株式会社内

    【氏名】 渡部 平司

【特許出願人】

    【識別番号】 000004237

    【氏名又は名称】 日本電気株式会社

【代理人】

    【識別番号】 100097113

    【弁理士】

    【氏名又は名称】 堀 城之

【手数料の表示】

    【予納台帳番号】 044587

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9708414

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、その製造方法およびその製造装置

【特許請求の範囲】

【請求項 1】 ゲート電極をシリコン基板から電氣的に絶縁するゲート絶縁膜を有する半導体装置であって、

前記ゲート絶縁膜は、前記シリコン基板上に形成した下地シリコン酸化膜上から金属層堆積工程と熱処理工程とを施して形成された、前記下地シリコン酸化膜中に金属元素が拡散されたシリケート層であることを特徴とする半導体装置。

【請求項 2】 前記シリケート層は、上層の金属リッチ領域と中間層のシリケート領域と下層のシリコン酸化膜領域とからなることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記シリコン酸化膜領域には、前記金属元素が拡散されていないことを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記シリケート層は、金属組成が上部に行くほど高く、シリコン組成が下部に行くほど高くなる組成変調を有したシリケート構造であることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置。

【請求項 5】 前記金属層堆積工程時の処理雰囲気中の残留酸素分圧が  $1 \times 10^{-6}$  Torr 以下であることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置。

【請求項 6】 前記金属層堆積工程は、前記シリコン基板を室温より昇温して行われることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置。

【請求項 7】 前記金属層堆積工程によって堆積される金属層の構成要素は、少なくとも Zr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu のいずれか 1 つを含んでいることを特徴とする請求項 1 乃至 6 のいずれかに記載の半導体装置。

【請求項 8】 前記金属層堆積工程によって堆積される金属層の構成要素に Al を含んでいる場合には、前記シリコン基板上に形成した前記下地シリコン酸化膜の膜厚が 0.6 nm 以上であることを特徴とする請求項 1 乃至 7 のいずれか

に記載の半導体装置。

【請求項 9】 前記金属層堆積工程によって堆積される金属層の構成要素に少なくとも Zr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu のいずれか 1 つを含んでいる場合には、前記シリコン基板上に形成した前記下地シリコン酸化膜の膜厚が 1 nm 以上であることを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体装置。

【請求項 10】 前記シリケート層の酸化膜換算膜厚が、前記下地シリコン酸化膜の酸化膜換算膜厚に比べて薄いことを特徴とする請求項 1 乃至 9 のいずれかに記載の半導体装置。

【請求項 11】 前記シリコン基板上に形成した前記下地シリコン酸化膜は、窒素を導入したシリコン酸窒化膜であることを特徴とする請求項 1 乃至 10 のいずれかに記載の半導体装置。

【請求項 12】 前記熱処理工程は、大気圧以下の減圧酸素条件で行われることを特徴とする請求項 1 乃至 11 のいずれかに記載の半導体装置。

【請求項 13】 ゲート電極をシリコン基板から電気的に絶縁するゲート絶縁膜を有する半導体装置の製造方法であって、

前記シリコン基板上に下地シリコン酸化膜を形成する下地シリコン酸化膜形成工程と、

前記下地シリコン酸化膜上に金属層を堆積する金属層堆積工程と、

界面シリケート反応を促進する熱処理工程とを有し、

前記下地シリコン酸化膜中に金属元素を拡散させたシリケート層を前記ゲート絶縁膜として形成することを特徴とする半導体装置の製造方法。

【請求項 14】 上層の金属リッチ領域と中間層のシリケート領域と下層のシリコン酸化膜領域とからなる前記シリケート層を形成することを特徴とする請求項 13 記載の半導体装置の製造方法。

【請求項 15】 前記シリコン酸化膜領域には、前記金属元素を拡散させないことを特徴とする請求項 14 記載の半導体装置の製造方法。

【請求項 16】 金属組成が上部に行くほど高く、シリコン組成が下部に行

くほど高くなる組成変調を有したシリケート構造である前記シリケート層を形成することを特徴とする請求項 13 乃至 15 のいずれかに記載の半導体装置の製造方法。

【請求項 17】 前記金属層堆積工程時の処理雰囲気中の残留酸素分圧を  $1 \times 10^{-6}$  Torr 以下に設定することを特徴とする請求項 13 乃至 16 のいずれかに記載の半導体装置の製造方法。

【請求項 18】 前記金属層堆積工程は、前記シリコン基板を室温より昇温して行うことを特徴とする請求項 13 乃至 17 のいずれかに記載の半導体装置の製造方法。

【請求項 19】 前記金属層堆積工程によって堆積する金属層の構成要素に少なくとも Zr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu のいずれか 1 つを含んでいることを特徴とする請求項 13 乃至 18 のいずれかに記載の半導体装置の製造方法。

【請求項 20】 前記金属層堆積工程によって堆積する金属層の構成要素に Al を含む場合には、前記下地シリコン酸化膜形成工程で 0.6 nm 以上の膜厚の前記下地シリコン酸化膜を形成することを特徴とする請求項 13 乃至 19 のいずれかに記載の半導体装置の製造方法。

【請求項 21】 前記金属層堆積工程によって堆積する金属層の構成要素に少なくとも Zr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu のいずれか 1 つを含む場合には、前記下地シリコン酸化膜形成工程で 1 nm 以上の膜厚の前記下地シリコン酸化膜を形成することを特徴とする請求項 13 乃至 19 のいずれかに記載の半導体装置の製造方法。

【請求項 22】 前記下地シリコン酸化膜の酸化膜換算膜厚に比べて薄い酸化膜換算膜厚の前記シリケート層を形成することを特徴とする請求項 13 乃至 21 のいずれかに記載の半導体装置の製造方法。

【請求項 23】 前記下地シリコン酸化膜形成工程で形成する前記下地シリコン酸化膜は、窒素を導入したシリコン酸窒化膜であることを特徴とする請求項

13乃至22のいずれかに記載の半導体装置の製造方法。

【請求項24】 前記熱処理工程は、大気圧以下の減圧酸素条件で行うことを特徴とする請求項13乃至23のいずれかに記載の半導体装置の製造方法。

【請求項25】 ゲート電極をシリコン基板から電気的に絶縁するゲート絶縁膜を有する半導体装置の製造装置であって、

下地シリコン酸化膜が形成された前記シリコン基板を導入する成膜チャンバーと、

該成膜チャンバーに導入された前記シリコン基板の前記下地シリコン酸化膜上に金属層を堆積する金属蒸着機構と、

前記成膜チャンバー内の残留酸素分圧を制御する排気ポンプとを具備し、

前記金属蒸着機構は、前記排気ポンプによって前記成膜チャンバー内の残留酸素分圧を $1 \times 10^{-6}$  Torr以下にして前記金属層を下地シリコン酸化膜上に堆積させることを特徴とする半導体装置の製造装置。

【請求項26】 前記成膜チャンバーに導入された前記シリコン基板を加熱する基板加熱機構を具備することを特徴とする請求項25記載の半導体装置の製造装置。

【請求項27】 前記金属蒸着機構は、蒸着源と基板との間隔を100mm以上に設定して前記金属層を下地シリコン酸化膜上に堆積させることを特徴とする請求項25又は26記載の半導体装置の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、高誘電率薄膜を有した半導体装置、その製造方法およびその製造装置に関するものであり、特にMOSFET (Metal-Oxide-Semiconductor Field Effect Transistor) を構成するゲート絶縁膜の高性能化と低消費電力化とを図る半導体装置および半導体装置の製造方法に関する。

【0002】

【従来の技術】

シリコン酸化膜はプロセス上の安定性や優れた絶縁特性を有し、MOSFET

のゲート絶縁膜材料として用いられている。近年の素子微細化と共にゲート絶縁膜の薄層化が進んでおり、ゲート長が100nm以下のデバイスではスケーリング則の要請からゲート絶縁膜であるシリコン酸化膜の厚さは1.5nm以下であることが必要となっているが、このような極薄の絶縁膜を用いた場合、ゲートバイアス印加時に絶縁層を挿入でのトンネル電流がソース／ドレイン電流に対して無視できない値となるため、MOSFETの高性能化と低消費電力化とを図るための大きな課題となっており、実効的なゲート絶縁膜の膜厚を薄くし、かつトンネル電流をデバイス設計上の許容値内に抑えるための研究開発が進められている。

#### 【0003】

その1つは、シリコン酸化膜中に窒素を添加することで純粋なシリコン酸化膜に比べて誘電率を増加させ、物理的な膜厚を薄層化することなしに実効的（電氣的）なゲート絶縁層の膜厚を減少させる方法であり、このようなシリコン酸窒化膜の作製手段としては、シリコン基板表面に酸化膜を形成した後、アンモニア（ $\text{NH}_3$ ）などの窒素を含有したガス中で高温熱処理することで窒素導入する方法がある。しかしガス雰囲気中での熱処理では窒素がシリコン酸化膜とシリコン基板との界面に偏析し、界面電気特性が劣化する問題が生じ、シリコン酸化膜の場合は界面ラフネス並びに欠陥密度が少ない良質な接合を実現することが可能であるが、上述の手法でシリコン酸窒化膜を作製した場合には界面での窒素の偏析により界面ラフネスの増大並びに界面欠陥密度の増加が起きる。

#### 【0004】

従って、近年、窒素プラズマにシリコン酸化膜を曝し、表面側を選択的に窒化する技術（プラズマ窒化技術）が検討されている。このプラズマを応用した技術では界面の窒素濃度を低く抑えることが可能であり、上述の窒素起因の電気特性劣化を最小限に抑えることができるが、純粋なシリコン窒化膜の比誘電率でもシリコン酸化膜の2倍程度であるため、シリコン酸化膜への窒素添加による高誘電率化には限界があり、比誘電率10以上を実現することは原理的に不可能である。

#### 【0005】

従って、さらに、素子の微細化が進んだ世代の技術として、シリコン酸化膜や酸窒化膜に代えて比誘電率が10以上の薄膜材料またはこれらの材料とシリコンとの複合材料であるシリケート薄膜をゲート絶縁膜に採用する試みがなされている。この様な高誘電率材料としては $\text{Al}_2\text{O}_3$ 、 $\text{ZrO}_2$ や $\text{HfO}_2$ 、および $\text{Y}_2\text{O}_3$ などの希土類元素酸化物、さらには $\text{La}_2\text{O}_3$ などのランタノイド系希土類元素の酸化物が候補材料として検討されている。これらの高誘電率膜を用いればゲート長を微細にしてもスケーリング則に則ったゲート絶縁膜容量を保持しつつトンネル電流を防げる厚さにできるというのがその根拠である。なお、ゲート絶縁膜の種類によらず、ゲート絶縁膜材料がシリコン酸化膜であると仮定して、ゲート容量から逆算して得られる絶縁層の膜厚をシリコン酸化膜換算膜厚と呼ぶ。すなわち、絶縁膜とシリコン酸化膜の比誘電率をそれぞれ $\epsilon_h$ 、 $\epsilon_o$ とし、絶縁膜の厚さを $d_h$ とした時、シリコン酸化膜換算膜厚 $d_e$ は、

$$d_e = d_h (\epsilon_o / \epsilon_h)$$

となる。 $\epsilon_o$ に比べて大きな誘電率 $\epsilon_h$ をもった材料を用いれば絶縁膜が厚くても薄いシリコン酸化膜と同等になりうることを示している。シリコン酸化膜の比誘電率 $\epsilon_o$ は3.9程度なので例えば $\epsilon_h = 3.9$ の高誘電体膜を用いれば15 nmの厚さにしても1.5 nmのシリコン酸化膜換算膜厚になり、トンネル電流を激減できるわけである。

#### 【0006】

また金属酸化物とシリケート薄膜との特徴としては、 $\text{ZrO}_2$ や $\text{HfO}_2$ などの金属酸化物を高誘電率ゲート絶縁膜として用いた場合には高い比誘電率を実現することができる。一方、シリコンが混入したシリケート材料では比誘電率は低下するものの熱安定性が向上すると共に、金属酸化物をシリコン基板上に直接接合した場合に比べて界面電気特性を改善できると考えられている。

#### 【0007】

上述の様に、次世代MOSFETの開発では、高誘電率薄膜をゲート絶縁膜材料として採用することが検討されており、シリコン基板表面への高誘電率薄膜の堆積手法としては、各種の原料ガスを用いたCVD (Chemical Vapor Deposition) や、CVD成長を原子層単位で制御したALD (Atomic Layer CVD) が検討



されている。

#### 【0008】

##### 【発明が解決しようとする課題】

高誘電率ゲート絶縁膜開発の初期の段階では、材料探索を目的としてスパッタリング（または反応性スパッタリング）や分子線蒸着法（Molecular Beam Deposition）などの物理蒸着法が用いられてきた。これらの成膜手法では、シリコン基板表面に直接高誘電率膜を堆積した例や、CVDあるいはALD成長初期の反応制御並びに、高誘電率薄膜とシリコン基板界面の熱安定性を改善する目的で界面に極薄（通常1nm未満）のシリコン酸化膜を挿入した例が報告されている。後者の場合、シリコン基板表面に極薄のシリコン酸化膜を形成した後に、各種の成膜方法で高誘電率薄膜の堆積を実施する。これらの成膜手法で共通する点は、シリコン基板表面に化学量論的な組成（あるいは酸素濃度に過不足のないシリケート組成）と一致した高誘電率膜を堆積することであり、特に膜中の酸素欠損などの構造欠陥は、電気特性を劣化させ、リーク電流増大の原因となる。

#### 【0009】

これまで上述の薄膜堆積法で作製した様々な高誘電率材料についてその特性が検討されてきた。この中で次世代MOSFET開発に向けての最も大きな技術課題は、界面電気特性の改善である。つまり先述のシリコン酸化膜の場合と同様に、高誘電率薄膜界面とシリコン基板との界面欠陥密度はシリコン酸化膜界面のそれに比べて1～2桁高く、捕獲されたチャージによる移動度の劣化が顕著になり、MOSFETの電流駆動能力が低下し、ゲート絶縁膜を薄層化した効果が相殺されてしまう。

#### 【0010】

界面電気特性を改善する方策としては、高誘電率膜とシリコン基板との界面にシリコン酸化膜を界面酸化層として挿入した構造が検討されている。電気特性を決定する界面構造は高誘電率薄膜の作製方法と深い関係があり、例えばCVDやスパッタリング法によりシリコン基板表面に高誘電率薄膜を直接堆積する場合でも、成膜時に酸化剤を導入した場合や成膜装置内に多量の残留酸素が存在する場合には、薄膜堆積と同時にシリコン基板の酸化が進行し、シリコン酸化膜を主成

分とした界面層が形成され、これらの界面層の成長は独立に制御することが困難であり、界面電気特性を最適化した構造を独立に設計することができない。

#### 【0011】

一方、意図的にシリコン酸化膜を界面酸化層としてを挿入する手段としては、シリコン基板表面に予め極薄のシリコン酸化膜を形成した後に高誘電率膜を堆積する方法や、高誘電率薄膜を堆積後に熱処理を施してシリコン酸化膜を成長させる方法がある。前者の方法ではシリコン酸化膜の挿入は界面熱安定性を向上する効果も有するが、シリコン酸化膜の比誘電率が低いために、シリコン基板表面に形成する初期シリコン酸化膜の膜厚を0.6 nm以下にすることが重要であると考えられ、またシリコン酸化膜上への高誘電率薄膜を堆積する工程で下地のシリコン酸化膜が変質する場合もあり、初期シリコン酸化膜とシリコン基板との界面特性が劣化する。さらに後者の方法は高誘電率膜中を酸素が容易に拡散して界面層を形成する現象を利用したものであるが、熱処理工程で高誘電率膜中の金属元素が界面層中に拡散する場合には、電気特性に優れた理想的なシリコン酸化膜／シリコン界面を形成することができない。

#### 【0012】

このように従来技術では、高誘電率ゲート絶縁膜の界面電気特性の向上には良質のシリコン酸化膜／シリコン基板界面を保持しつつ、膜質に優れた高誘電率薄膜を形成することが必要であるにもかかわらず、界面層（シリコン酸化膜）形成工程と高誘電率膜堆積工程とを分離して制御することが困難であるという問題点があった。

#### 【0013】

本発明は斯かる問題点を鑑みてなされたものであり、その目的とするところは、高誘電率薄膜とシリコン基板との界面に良質のシリコン酸化膜／シリコン界面を有したゲート絶縁膜構造の形成を可能し、高誘電率絶縁膜の実用化において課題となっていた界面電気特性の改善を図ることができる半導体装置および半導体装置の製造方法を提供する点にある。

#### 【0014】

##### 【課題を解決するための手段】

本発明は上記課題を解決すべく、以下に掲げる構成とした。

請求項 1 記載の発明の要旨は、ゲート電極をシリコン基板から電氣的に絶縁するゲート絶縁膜を有する半導体装置であって、前記ゲート絶縁膜は、前記シリコン基板上に形成した下地シリコン酸化膜上から金属層堆積工程と熱処理工程とを施して形成された、前記下地シリコン酸化膜中に金属元素が拡散されたシリケート層であることを特徴とする半導体装置に存する。

また請求項 2 記載の発明の要旨は、前記シリケート層は、上層の金属リッチ領域と中間層のシリケート領域と下層のシリコン酸化膜領域とからなることを特徴とする請求項 1 記載の半導体装置に存する。

また請求項 3 記載の発明の要旨は、前記シリコン酸化膜領域には、前記金属元素が拡散されていないことを特徴とする請求項 2 記載の半導体装置に存する。

また請求項 4 記載の発明の要旨は、前記シリケート層は、金属組成が上部に行くほど高く、シリコン組成が下部に行くほど高くなる組成変調を有したシリケート構造であることを特徴とする請求項 1 乃至 3 のいずれかに記載の半導体装置に存する。

また請求項 5 記載の発明の要旨は、前記金属層堆積工程時の処理雰囲気中の残留酸素分圧が  $1 \times 10^{-6}$  Torr 以下であることを特徴とする請求項 1 乃至 4 のいずれかに記載の半導体装置に存する。

また請求項 6 記載の発明の要旨は、前記金属層堆積工程は、前記シリコン基板を室温より昇温して行われることを特徴とする請求項 1 乃至 5 のいずれかに記載の半導体装置に存する。

また請求項 7 記載の発明の要旨は、前記金属層堆積工程によって堆積される金属層の構成要素は、少なくとも Zr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu のいずれか 1 つを含んでいることを特徴とする請求項 1 乃至 6 のいずれかに記載の半導体装置に存する。

また請求項 8 記載の発明の要旨は、前記金属層堆積工程によって堆積される金属層の構成要素に Al を含んでいる場合には、前記シリコン基板上に形成した前記下地シリコン酸化膜の膜厚が 0.6 nm 以上であることを特徴とする請求項 1

乃至 7 のいずれかに記載の半導体装置に存する。

また請求項 9 記載の発明の要旨は、前記金属層堆積工程によって堆積される金属層の構成要素に少なくとも Zr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu のいずれか 1 つを含んでいる場合には、前記シリコン基板上に形成した前記下地シリコン酸化膜の膜厚が 1 nm 以上であることを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体装置に存する。

また請求項 10 記載の発明の要旨は、前記シリケート層の酸化膜換算膜厚が、前記下地シリコン酸化膜の酸化膜換算膜厚に比べて薄いことを特徴とする請求項 1 乃至 9 のいずれかに記載の半導体装置に存する。

また請求項 11 記載の発明の要旨は、前記シリコン基板上に形成した前記下地シリコン酸化膜は、窒素を導入したシリコン酸窒化膜であることを特徴とする請求項 1 乃至 10 のいずれかに記載の半導体装置に存する。

また請求項 12 記載の発明の要旨は、前記熱処理工程は、大気圧以下の減圧酸素条件で行われることを特徴とする請求項 1 乃至 11 のいずれかに記載の半導体装置に存する。

また請求項 13 記載の発明の要旨は、ゲート電極をシリコン基板から電気的に絶縁するゲート絶縁膜を形成する半導体装置の製造方法であって、前記シリコン基板上に下地シリコン酸化膜を形成する下地シリコン酸化膜形成工程と、前記下地シリコン酸化膜上に金属層を堆積する金属層堆積工程と、界面シリケート反応を促進する熱処理工程とを有し、前記下地シリコン酸化膜中に金属元素を拡散させたシリケート層を前記ゲート絶縁膜として形成することを特徴とする半導体装置の製造方法に存する。

また請求項 14 記載の発明の要旨は、上層の金属リッチ領域と中間層のシリケート領域と下層のシリコン酸化膜領域とからなる前記シリケート層を形成することを特徴とする請求項 13 記載の半導体装置の製造方法に存する。

また請求項 15 記載の発明の要旨は、前記シリコン酸化膜領域には、前記金属元素を拡散させないことを特徴とする請求項 14 記載の半導体装置の製造方法に存する。

また請求項 16 記載の発明の要旨は、金属組成が上部に行くほど高く、シリコン組成が下部に行くほど高くなる組成変調を有したシリケート構造である前記シリケート層を形成することを特徴とする請求項 13 乃至 15 のいずれかに記載の半導体装置の製造方法に存する。

また請求項 17 記載の発明の要旨は、前記金属層堆積工程時の処理雰囲気中の残留酸素分圧を  $1 \times 10^{-6}$  Torr 以下に設定することを特徴とする請求項 13 乃至 16 のいずれかに記載の半導体装置の製造方法に存する。

また請求項 18 記載の発明の要旨は、前記金属層堆積工程は、前記シリコン基板を室温より昇温して行うことを特徴とする請求項 13 乃至 17 のいずれかに記載の半導体装置の製造方法に存する。

また請求項 19 記載の発明の要旨は、前記金属層堆積工程によって堆積する金属層の構成要素に少なくとも Zr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu のいずれか 1 つを含んでいることを特徴とする請求項 13 乃至 18 のいずれかに記載の半導体装置の製造方法に存する。

また請求項 20 記載の発明の要旨は、前記金属層堆積工程によって堆積する金属層の構成要素に Al を含む場合には、前記下地シリコン酸化膜形成工程で 0.6 nm 以上の膜厚の前記下地シリコン酸化膜を形成することを特徴とする請求項 13 乃至 19 のいずれかに記載の半導体装置の製造方法に存する。

また請求項 21 記載の発明の要旨は、前記金属層堆積工程によって堆積する金属層の構成要素に少なくとも Zr、Hf、Ta、Al、Ti、Nb、Sc、Y、La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu のいずれか 1 つを含む場合には、前記下地シリコン酸化膜形成工程で 1 nm 以上の膜厚の前記下地シリコン酸化膜を形成することを特徴とする請求項 13 乃至 19 のいずれかに記載の半導体装置の製造方法に存する。

また請求項 22 記載の発明の要旨は、前記下地シリコン酸化膜の酸化膜換算膜厚に比べて薄い酸化膜換算膜厚の前記シリケート層を形成することを特徴とする請求項 13 乃至 21 のいずれかに記載の半導体装置の製造方法に存する。

また請求項 23 記載の発明の要旨は、前記下地シリコン酸化膜形成工程で形成

する前記下地シリコン酸化膜は、窒素を導入したシリコン酸窒化膜であることを特徴とする請求項 13 乃至 22 のいずれかに記載の半導体装置の製造方法に存する。

また請求項 24 記載の発明の要旨は、前記熱処理工程は、大気圧以下の減圧酸素条件で行うことを特徴とする請求項 13 乃至 23 のいずれかに記載の半導体装置の製造方法に存する。

また請求項 25 記載の発明の要旨は、ゲート電極をシリコン基板から電氣的に絶縁するゲート絶縁膜を有する半導体装置の製造装置であって、下地シリコン酸化膜が形成された前記シリコン基板を導入する成膜チャンバーと、該成膜チャンバーに導入された前記シリコン基板の前記下地シリコン酸化膜上に金属層を堆積する金属蒸着機構と、前記成膜チャンバー内の残留酸素分圧を制御する排気ポンプとを具備し、前記金属蒸着機構は、前記排気ポンプによって前記成膜チャンバー内の残留酸素分圧を  $1 \times 10^{-6}$  Torr 以下にして前記金属層を下地シリコン酸化膜上に堆積させることを特徴とする半導体装置の製造装置に存する。

また請求項 26 記載の発明の要旨は、前記成膜チャンバーに導入された前記シリコン基板を加熱する基板加熱機構を具備することを特徴とする請求項 25 記載の半導体装置の製造装置に存する。

また請求項 27 記載の発明の要旨は、前記金属蒸着機構は、蒸着源と基板との間隔を 100 mm 以上に設定して前記金属層を下地シリコン酸化膜上に堆積させることを特徴とする請求項 25 又は 26 記載の半導体装置の製造装置に存する。

#### 【0015】

##### 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。

#### 【0016】

図 1 は、本発明に係る半導体装置の実施の形態の高誘電率薄膜の製造工程を示す工程図であり、図 2 は、図 1 に示すシリケート層の金属元素濃度分布を示す図である。

#### 【0017】

本実施の形態における高誘電率薄膜の製造工程は、図 1 を参照すると、シリコ

ン基板 101 表面に下地シリコン酸化膜 103 (酸窒化膜) を形成する工程と、下地シリコン酸化膜 103 表面への金属元素を供給して金属層 104 を形成する工程と、熱処理によりシリケート層 105 を形成する工程とからなり、シリケートからなる高誘電率膜層をシリコン基板 101 上に直接堆積するのではなく、下地シリコン酸化膜 103 と金属層 104 との界面反応によってシリケート層 105 を高誘電率薄膜として形成する。

#### 【0018】

まず、シリコン基板 101 表面に高品質な下地シリコン酸化膜 103 を形成する。なお、シリコン基板 101 は、表面終端水素 102 を余ったシリコン原子の結合手と結びつけて不安定な未結合手を消去する水素終端処理が施されている。下地シリコン酸化膜 103 の膜厚は、従来の界面挿入層 (通常 0.6 nm 以下) に比べて厚く設定することが望ましく、最終的に必要となる高誘電率膜 (シリケート膜 105) の電気膜厚 (酸化膜換算膜厚) と同程度の下地シリコン酸化膜 103 を形成する。

#### 【0019】

下地シリコン酸化膜 103 の形成方法としては、従来の熱酸化膜形成工程を採用することが可能である。この際、最終的に作製する高誘電率ゲート絶縁膜 (シリケート膜 105) の酸化膜換算膜厚と同程度の極薄の下地シリコン酸化膜 103 であることが求められるため、RTO (Rapid Thermal Oxidation) での形成が有効である。なお、ウェット処理によって形成したケミカルオキサイドでは、極薄の下地シリコン酸化膜 103 を容易に形成できるが、界面電気特性に劣るため本発明では効果を十分に発揮しない。さらに酸化膜換算膜厚低減の観点からは初期の下地シリコン酸化膜 103 の膜厚を薄くすることが求められるが、後述する工程で下地シリコン酸化膜 103 中に金属元素が拡散することを考慮し、かつ下地シリコン酸化膜 103 / シリコン基板 101 界面を保持するためには下地シリコン酸化膜 103 の膜厚は通常 1 nm 以上であることが望ましい。しかし、Al の様に下地シリコン酸化膜 103 への金属元素の拡散が顕著でない元素では最低で 0.6 nm まで薄い下地酸化膜の用いることが可能である。また下地シリコン酸化膜 103 中に微量 (数%) の窒素を導入した酸窒化膜を下地層として用い

ることも有効であり、この際には、界面に窒素が偏析しない様なラジカル窒化プロセスによって下地シリコン酸化膜 103 表面を選択的に窒化した構造が有効である。

#### 【0020】

次に、下地シリコン酸化膜 103 表面にシリケートを構成する金属元素を供給し、金属元素供給時あるいは供給後の熱処理工程によって金属元素を下地シリコン酸化膜 103 中に拡散させて下地シリコン酸化膜 103 の一部（特にシリコン基板 101 界面以外の下地シリコン酸化膜 103 の上層部分）をシリケートに変換したシリケート層 105 を形成する。

#### 【0021】

下地シリコン酸化膜 103 表面への金属元素の供給手段としては CVD による化学的手法やスパッタ堆積などの物理蒸着法が考えられる。特に高誘電率膜を構成する金属元素の酸化速度が非常に速いことを考慮すれば、金属層 104 の形成工程時の処理雰囲気中の残留酸素分圧が  $1 \times 10^{-6}$  Torr 以下に低減できる超高真空対応のスパッタリング法を採用することが望ましい。またスパッタリング法による金属堆積では、成膜時の下地シリコン酸化膜 103 へのダメージ低減が必要であり、スパッタ蒸着源とシリコン基板 101 との距離を離し（通常 100 mm 以上の蒸着源と基板ウエハとの間隔が必要であり、200 mm 以上の間隔を確保したりリモートタイプの成膜装置が望ましい）、シリコン基板 101 に高速イオンや多量のフォトンが入射しない条件で金属供給を行うことが重要である。さらに最も理想的な金属供給方法としては金属原料の電子ビーム加熱などによる真空蒸着方法が挙げられる。

#### 【0022】

金属元素を供給して金属層 104 を形成する工程では、上述の様に雰囲気ガス並びに真空度が重要である。すなわち、従来の酸素雰囲気中での金属蒸着による成膜方法（反応性スパッタリングや反応性蒸着）では、金属元素供給と共に酸化反応が進行して化学量論的な金属酸化物が形成され、成膜初期から界面反応が進行して、シリコン基板 101 との理想的な界面を保持することが困難であるが、本発明のように金属元素供給時の残留酸素分圧が  $1 \times 10^{-6}$  Torr 以下の条



件で従来より厚い（1 nm以上）の下地シリコン酸化膜103上に金属元素を供給すると、微少な残留酸素の効果で金属元素の一部が酸化状態になる場合もあるが、下地シリコン酸化膜103とシリコン基板101との界面構造は保存される。

#### 【0023】

熱処理工程では、金属層104あるいは酸素欠損を多量に含んだ層の酸化工程で界面反応が促進されるため、熱処理工程で下地シリコン酸化膜103と金属層104との界面シリケート反応を効果的に実施することができる。例えば残留酸素分圧を $1 \times 10^{-6}$  Torr以下の条件で真空蒸着法によってZr元素を下地シリコン酸化膜103に供給した場合、下地シリコン酸化膜103の膜中のSi-O結合状態に変化は生じず、またZr元素の酸化速度が非常に速いために上述の残留酸素分圧でも大半のZr元素が酸化してしまうが、膜中には多量の酸素欠損が存在し、原子配置が乱れた構造であることをX線光電子分光法等の評価手法で確認できるため、熱処理工程で界面シリケート反応を効果的に実施することができる。これに対して残留酸素分圧が $1 \times 10^{-6}$  Torrより高い条件で金属元素供給を実施した場合、膜中の酸素欠損量が急激に減少し、熱処理工程での界面シリケート反応が抑制されてしまう。

#### 【0024】

なお、下地シリコン酸化膜103中に金属元素を導入しただけでは酸素欠損を多く含んだシリケート構造となっているが、下地シリコン酸化膜103中の酸素拡散に比べてシリケート等の高誘電率薄膜中の酸素拡散が速やかに進行し、さらに金属元素の酸化速度が非常に速いために、下地シリコン酸化膜103中への金属拡散後に追加の減圧酸化処理を施すことでシリコン基板101との界面状態を保持したままでシリケート層105の酸素欠損を解消することができる。

#### 【0025】

一方、 $\text{HfO}_2$ や $\text{ZrO}_2$ 等の高誘電率薄膜とシリコン基板101との界面は熱的に安定であるが、下地シリコン酸化膜103表面に高誘電率膜であるシリケート層105を構成する金属元素を供給した場合には、Si-O結合に比べてMetal-O結合が強固であるために、下地シリコン酸化膜103表面でシリケ

ート結合 (Metal-O-Si) が形成され、また界面シリケート形成反応を金属元素供給時の基板昇温あるいは金属元素供給後の熱処理工程によって促進させることが可能であり、化学量論的な膜組成を有した金属酸化物を介しての界面酸化速度よりも界面反応がより促進される。

#### 【0026】

一方、金属供給して金属層 104 の形成する工程でシリコン基板 101 を昇温することも効果的である。金属元素の酸化速度が非常に速いため、残留酸素分圧を低減した装置内でも金属層 104 の酸化が進行する場合があります、金属元素供給時にシリコン基板 101 を昇温し、金属元素供給と同時に下地シリコン酸化膜 103 との反応 (拡散) を促進することが有効である。しかしシリコン基板 101 の温度を室温とした場合でも上述のように膜中に多量の酸素欠損が存在しているために、金属元素供給後の熱処理工程でも界面反応 (金属元素拡散) が促進される。

#### 【0027】

熱処理工程の条件としては金属元素拡散を主目的とした酸素分圧を低減した条件と、シリケート層 105 中の酸素欠損低減を目的とした酸素雰囲気中での熱処理工程が考えられるが、シリケート層 105 中の酸素欠損低減は微量の酸素分圧中でも進行するために、熱処理時の酸素分圧を低減して下地シリコン酸化膜 103 / シリコン基板 101 界面の酸化が進行しない条件を実現できる。

#### 【0028】

このように下地シリコン酸化膜 103 中への金属元素拡散のプロセス条件を最適化することで金属元素が下地シリコン酸化膜 103 / シリコン基板 101 界面に到達しない構造を実現することができ、図 1 に示すように、シリコン酸化膜領域とシリケート領域と金属リッチ領域とから構成されるシリケート層 105 を得ることができる。シリケート層 105 におけるシリコン酸化膜領域とシリケート領域と金属リッチ領域との金属元素濃度は、図 2 に示すように、シリコン酸化膜領域 < シリケート領域 < 金属リッチ領域となる。すなわち、シリケート層 105 とシリコン基板 101 との界面付近は、金属元素を含まないシリコン酸化膜領域となり、シリケート層 105 とシリコン基板 101 との界面は、初期の下地シリ

コン酸化膜 103 形成直後と同様の良質な界面構造が保持され、シリケート層 105 の上部では金属組成が高く、金属拡散工程や熱処理条件によりシリケート層 105 の最表面部分は、シリコンを含まない金属酸化物となるか金属リッチ領域となり、下地シリコン酸化膜 103 と金属層 104 との界面では、シリケート反応が進行してシリケート領域となり、シリケート層 105 全体としては、金属組成が上部に行くほど高く、シリコン組成が下部に行くほど高くなる組成変調を有したシリケート構造が形成される。なお、図 2 の 106 は、シリケート層 105 に形成されたゲート電極を示す。

#### 【0029】

下地シリコン酸化膜 103 上に供給する金属元素としては、Zr、Hf、Ta、Al、Ti、Nb や希土類元素である Sc、Y、またランタノイド系元素の La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、Lu が挙げられる。これらの金属元素の全てについて本発明で提案する高誘電率薄膜作製方法を適用することが可能であるが、材料物性の違いによって下地シリコン酸化膜 103 への金属拡散速度に違いが生じる。例えば La に代表されるランタノイド系元素の酸化物はシリコン酸化物と混じりやすい特性を有し、下地シリコン酸化膜 103 中への金属拡散が比較的容易に進む。一方、Al などは下地シリコン酸化膜 103 中への拡散があまり進行しないが原子レベルでの観点からは界面層を形成する。また Zr や Hf 等の特性はこれらの中間にある。従って上述の各材料について金属供給量と拡散条件とを最適化する必要がある。

#### 【0030】

##### 【実施例】

##### （第 1 の実施例）

図 3 は、本発明に係る半導体装置の第 1 の実施例のランタンシリケート高誘電率薄膜の製造工程を示す工程図であり、図 4 は、図 3 に示すランタンシリケート高誘電率薄膜の作製に用いた真空蒸着装置の構成を示す構成図であり、図 5 は、図 3 に示すランタンシリケート高誘電率薄膜の容量－電圧特性と電流－電圧特性から求めた酸化膜換算膜厚とリーク電流の関係を示す図である。

#### 【0031】

第1の実施例では、下地層として下地シリコン酸化膜103を形成し、金属元素としてLaを用いてランタンシリケート高誘電率薄膜205を形成し、ランタンシリケート高誘電率薄膜205を用いて半導体装置の特性を検証した。

#### 【0032】

シリコン基板101を洗浄後、フッ酸処理で表面酸化膜を除去し、シリコン基板101をRTOによって表面酸化して膜厚1.1nmの下地シリコン酸化膜103を形成した。RTOは、基板温度700℃として減圧酸素条件(500Pa)にて実施した。

#### 【0033】

次に、下地シリコン酸化膜103を形成したシリコン基板101をウエハ搬送系403に載置し、ウエハ導入チャンバー402を介して成膜チャンバー401に導入し、Eガン蒸着機構406を用いてLa蒸着源の電子ビーム加熱(Eガン蒸着)によって下地シリコン酸化膜103上に金属ランタン層204を堆積した。金属元素堆積時、成膜チャンバー401の真空度を粗引き系ポンプ408と主排気ポンプ407とによる真空引きにより $2 \times 10^{-9}$  Torr以下の条件に設定し、シリコン基板101の基板温度を室温並びに基板加熱機構405の加熱により500℃に設定した。

#### 【0034】

次に、金属ランタン層204が堆積されたシリコン基板101を成膜チャンバー401から取り出し、膜中の酸素欠損を補うために窒素雰囲気中にて500℃で10分間の熱処理を実施してシリコン酸化膜領域とLaシリケート領域とLaリッチ領域とで構成されるランタンシリケート高誘電率薄膜205を形成した。熱処理工程は横型石英炉を用いて実施し、処理雰囲気中の残留酸素あるいはウエハ搬送中の吸着酸素によって膜中への酸素導入並びに下地シリコン酸化膜103への金属拡散を行うことができる。

#### 【0035】

このようにして形成したランタンシリケート高誘電率薄膜205について容量-電圧並びに電流-電圧特性を評価し、酸化膜換算膜厚(EOT)並びにリーク電流(Jg)を測定し、下地シリコン酸化膜103の特性と比較した結果を図5

に示す。

#### 【0036】

図5には、ランタン堆積時のシリコン基板101の温度が室温と500℃との異なる条件で行った試料の特性結果がそれぞれ示されており、全ての試料について下地シリコン酸化膜103に比べてリーク電流を低減できている。

#### 【0037】

また、ランタン堆積時のシリコン基板101の温度を500℃として実施した試料では、下地シリコン酸化膜103の膜厚よりも酸化膜換算膜厚が薄く、上述の本発明の製造方法によってランタンが下地シリコン酸化膜103中に拡散して高誘電率化が進んだことを確認し、ランタン堆積時のシリコン基板101の温度を室温として実施した試料でも酸化膜換算膜厚が最も薄い試料では、下地シリコン酸化膜103よりも酸化膜換算膜厚が薄くなっていることから、シリコン基板101の温度が室温の条件でも金属拡散による高誘電率化を確認した。このようにランタン堆積時の基板温度が高い試料について酸化膜換算膜厚が薄い傾向にあり、ランタン堆積時にシリコン基板101を昇温する効果を確認した。

#### 【0038】

また、界面準位密度を測定した結果、ランタンシリケートをシリコン基板101上に直接堆積した場合と比較して欠陥密度を1/5～1/10に低減することができた。さらにこれらのランタンシリケート高誘電率薄膜205をゲート絶縁膜として、ポリシリコンゲート電極を用いてMOSFETを試作した結果、ランタンシリケートをシリコン基板101上に直接堆積した場合に比べて移動度が50%以上増加した。

#### 【0039】

(第2の実施例)

図6は、本発明に係る半導体装置の第2の実施例のハフニウムシリケート高誘電率薄膜の製造工程を示す工程図であり、図7は、図6に示すハフニウムシリケート高誘電率薄膜の作製に用いたスパッタ成膜装置の構成を示す構成図である。

#### 【0040】

第2の実施例では、下地層としてシリコン酸化膜203を形成し、金属元素

としてHfを用いてハフニウムシリケート高誘電率薄膜305を形成し、ハフニウムシリケート高誘電率薄膜305を用いて半導体装置の特性を検証した。第2の実施例において下地酸化膜としてシリコン酸窒化膜203を用いた理由は、高誘電率材料への窒素添加による耐熱性改善のためである。

#### 【0041】

シリコン基板101を洗浄後、フッ酸処理で表面酸化膜を除去し、シリコン基板101をRTOによって表面酸化して膜厚1.5nmの下地シリコン酸化膜103を形成した。RTOは、基板温度700℃として減圧酸素条件(500Pa)にて実施した。

#### 【0042】

次に、下地シリコン酸化膜103表面の窒化処理を、プラズマ源としてECR(Electron Cyclotron Resonance)ラジカル源を搭載した真空装置によって実施してシリコン酸窒化膜203を形成した。窒素ラジカルの照射条件は基板温度500℃、窒素圧力0.3Paとして投入電力100Wとして窒化処理を行った。

#### 【0043】

次に、シリコン酸窒化膜203を形成したシリコン基板101をウエハ搬送系703に載置し、ウエハ導入チャンバー702を介して超高真空対応のリモートタイプスパッタ装置である成膜チャンバー701に導入し、スパッタ蒸着機構706を用いてHfターゲットを蒸着源としてアルゴンをスパッタガスとして金属層堆積を実施し、シリコン酸窒化膜203上にハフニウム堆積層304を堆積した。金属元素堆積時、成膜チャンバー701の真空度を粗引き系ポンプ708と主排気ポンプ707とによる真空引きにより $5 \times 10^{-9}$  Torrの条件に設定し、シリコン基板101の基板温度を室温に設定し、ダメージ低減のためにスパッタ源とウエハ間隔は300mmに設定し、アルゴンガス分圧は0.05Paに設定し、投入電力を500Wに設定した。

#### 【0044】

次に、ハフニウム堆積層304堆積後、成膜チャンバー701内で $1 \times 10^{-6}$  Torr以下の真空度で600℃にて10分間の連続熱処理を実施した後に、シリコン基板101を成膜チャンバー701から取り出し、膜中の酸素欠損を補

うために窒素雰囲気中にて500℃で10分間の熱処理を実施し、シリコン酸化膜領域とHfシリケート領域とHfリッチ領域とで構成されるハフニウムシリケート高誘電率薄膜305を形成した。熱処理工程は横型石英炉用いて実施し、処理雰囲気中の残留酸素あるいはウエハ搬送中の吸着酸素によって膜中への酸素導入並びに下地シリコン酸化膜103への金属拡散を行うことができる。

#### 【0045】

本試料について容量―電圧並びに電流―電圧特性評価の結果、酸化膜換算膜厚は1.45nmでありリーク電流はシリコン酸化膜に比べて3～4桁低減できることを確認した。

#### 【0046】

また従来技術に従って0.5nm厚の下地シリコン酸化膜103上に反応性スパッタリング法によってHfO<sub>2</sub>を直接堆積した場合に比べて界面欠陥密度を1/5に低減することができた。さらに熱処理による結晶化温度を評価した結果、窒素を導入していないハフニウムシリケート高誘電率薄膜305に対して耐熱性が50℃～100℃改善した。一方、ハフニウムシリケート高誘電率薄膜305をゲート絶縁膜として、ポリシリコンゲート電極を用いてMOSFETを試作した結果、ハフニウムシリケートをシリコン基板上に直接堆積した場合に比べて移動度が40%以上増加した。

#### 【0047】

以上説明したように、本実施の形態によれば、シリコン基板101表面に下地シリコン酸化膜103を形成した後、下地シリコン酸化膜103表面に高誘電率膜を構成する金属元素を供給する金属層堆積工程と熱処理工程とによって金属元素を下地シリコン酸化膜103中に拡散させることでシリケート層105をゲート絶縁膜として形成することにより、高誘電率薄膜とシリコン基板との界面に良質の下地シリコン酸化膜/シリコン基板界面を有したゲート絶縁膜構造の形成を可能し、高誘電率絶縁膜の実用化において課題となっていた界面電気特性の改善を図ることができるという効果を奏する。

#### 【0048】

さらに、本実施の形態によれば、下地シリコン酸化膜103中への金属拡散の

条件を独立に制御することで、下地シリコン酸化膜103の表面側のみに金属元素拡散させ、シリコン酸化膜／シリコン基板界面には金属元素が到達しない条件の最適化が容易となり、優れた界面電気特性を有した高誘電率ゲート絶縁膜の作製が可能となるという効果を奏する。

#### 【0049】

なお、本発明が上記各実施の形態に限定されず、本発明の技術思想の範囲内において、各実施の形態は適宜変更され得ることは明らかである。また、上記構成部材の数、位置、形状等は上記実施の形態に限定されず、本発明を実施する上で好適な数、位置、形状等にすることができる。なお、各図において、同一構成要素には同一符号を付している。

#### 【0050】

##### 【発明の効果】

本発明の半導体装置、その製造方法およびその製造装置は、シリコン基板表面にシリコン酸化膜を形成した後、シリコン酸化膜表面に高誘電率膜を構成する金属元素を供給する金属層堆積工程と熱処理工程とによって金属元素をシリコン酸化膜中に拡散させることでシリケート層をゲート絶縁膜として形成することにより、高誘電率薄膜とシリコン基板との界面に良質のシリコン酸化膜／シリコン界面を有したゲート絶縁膜構造の形成を可能し、高誘電率絶縁膜の実用化において課題となっていた界面電気特性の改善を図ることができるという効果を奏する。

#### 【0051】

さらに、本発明の半導体装置、その製造方法およびその製造装置は、シリコン酸化膜中への金属拡散の条件を独立に制御することで、シリコン酸化膜の表面側のみに金属元素拡散させ、シリコン酸化膜／シリコン基板界面には金属元素が到達しない条件の最適化が容易となり、優れた界面電気特性を有した高誘電率ゲート絶縁膜の作製が可能となるという効果を奏する。

##### 【図面の簡単な説明】

#### 【図1】

本発明に係る半導体装置の実施の形態の高誘電率薄膜の製造工程を示す工程図である。



**【図 2】**

図 1 に示すシリケート層の金属元素濃度分布を示す図である。

**【図 3】**

本発明に係る半導体装置の第 1 の実施例のランタンシリケート高誘電率薄膜の製造工程を示す工程図である。

**【図 4】**

図 3 に示すランタンシリケート高誘電率薄膜の作製に用いた真空蒸着装置の構成を示す構成図である。

**【図 5】**

図 3 に示すランタンシリケート高誘電率薄膜の容量－電圧特性と電流－電圧特性から求めた酸化膜換算膜厚とリーク電流の関係を示す図である。

**【図 6】**

本発明に係る半導体装置の第 2 の実施例のハフニウムシリケート高誘電率薄膜の製造工程を示す工程図である。

**【図 7】**

図 6 に示すハフニウムシリケート高誘電率薄膜の作製に用いたスパッタ成膜装置の構成を示す構成図である。

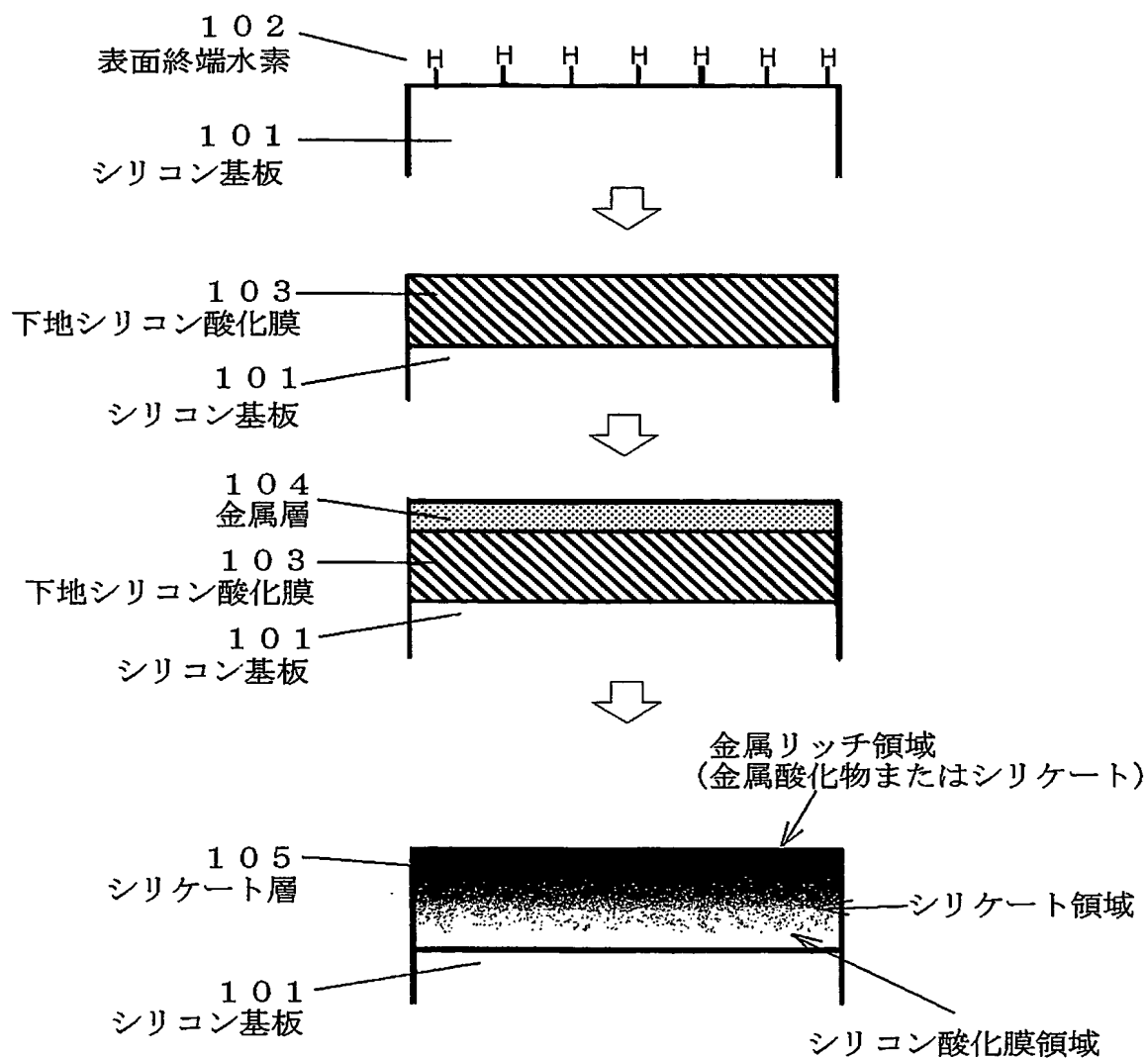
**【符号の説明】**

- 101 シリコン基板
- 102 表面終端水素
- 103 下地シリコン酸化膜
- 203 シリコン酸窒化膜
- 104 金属層
- 204 金属ランタン層
- 304 ハフニウム堆積層
- 105 シリケート層
- 205 ランタンシリケート高誘電率薄膜
- 305 ハフニウムシリケート高誘電率薄膜
- 106 ゲート電極

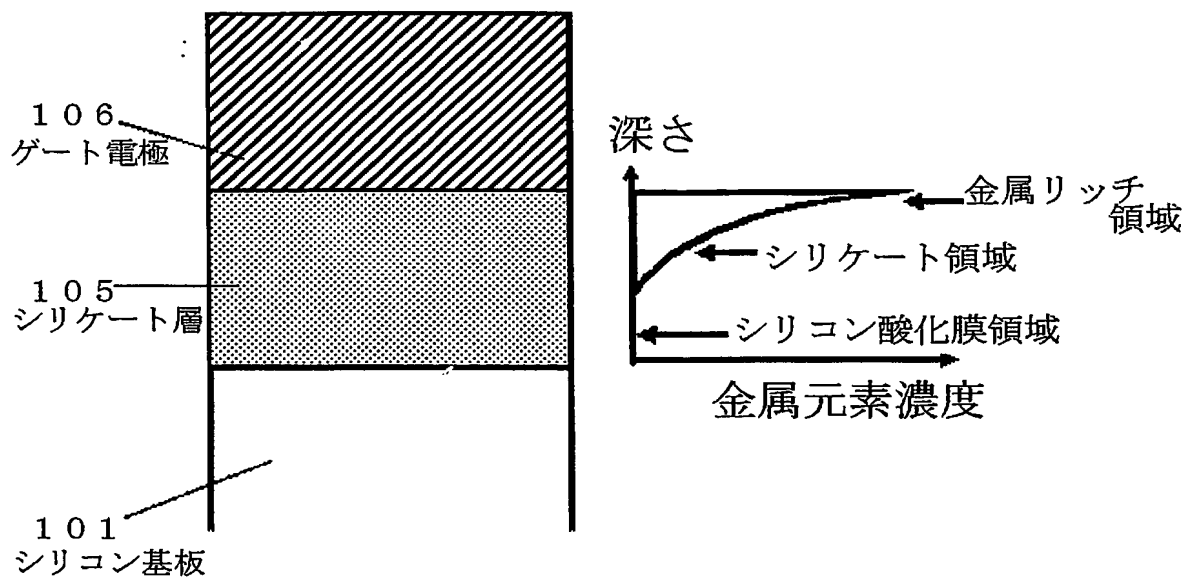
- 4 0 1、7 0 1 成膜チャンバー
- 4 0 2、7 0 2 ウエハ導入チャンバー
- 4 0 3、7 0 3 ウエハ搬送系
- 4 0 5、7 0 5 基板加熱機構
- 4 0 6 Eガン蒸着機構
- 7 0 6 スパッタ蒸着機構
- 4 0 7、7 0 7 主排気ポンプ
- 4 0 8、7 0 8 粗引き系ポンプ

【書類名】 図面

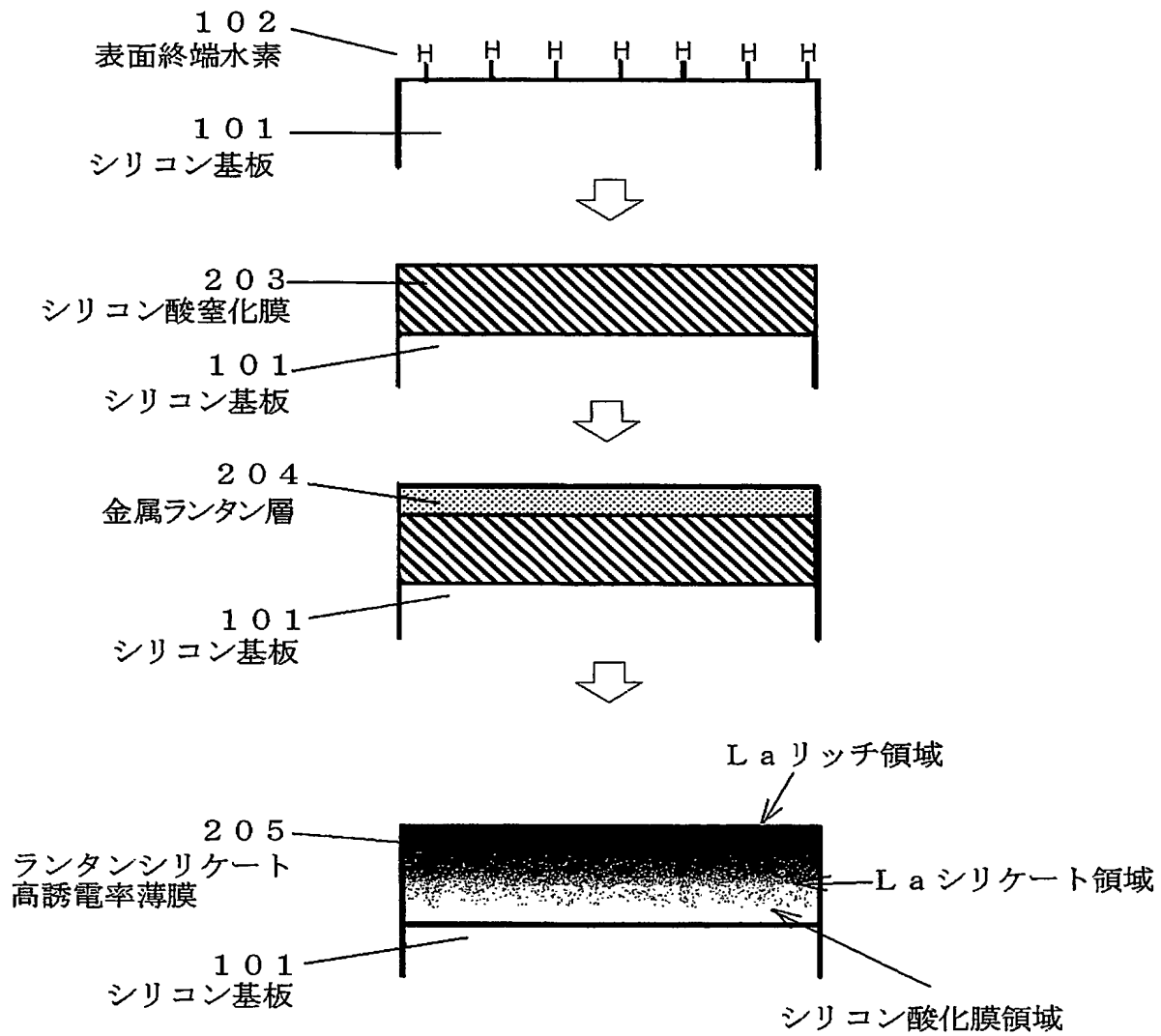
【図 1】



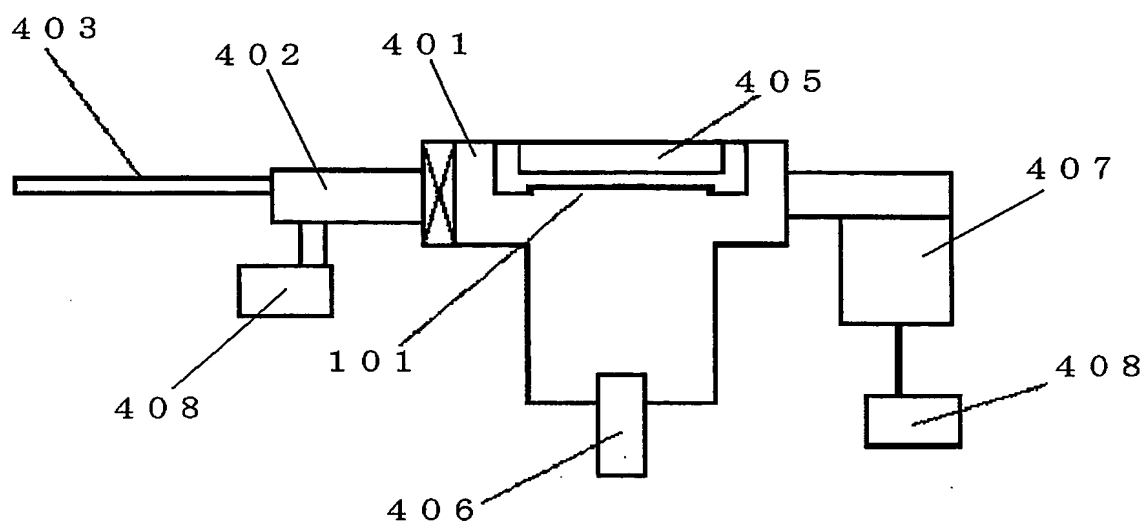
【図 2】



【図 3】

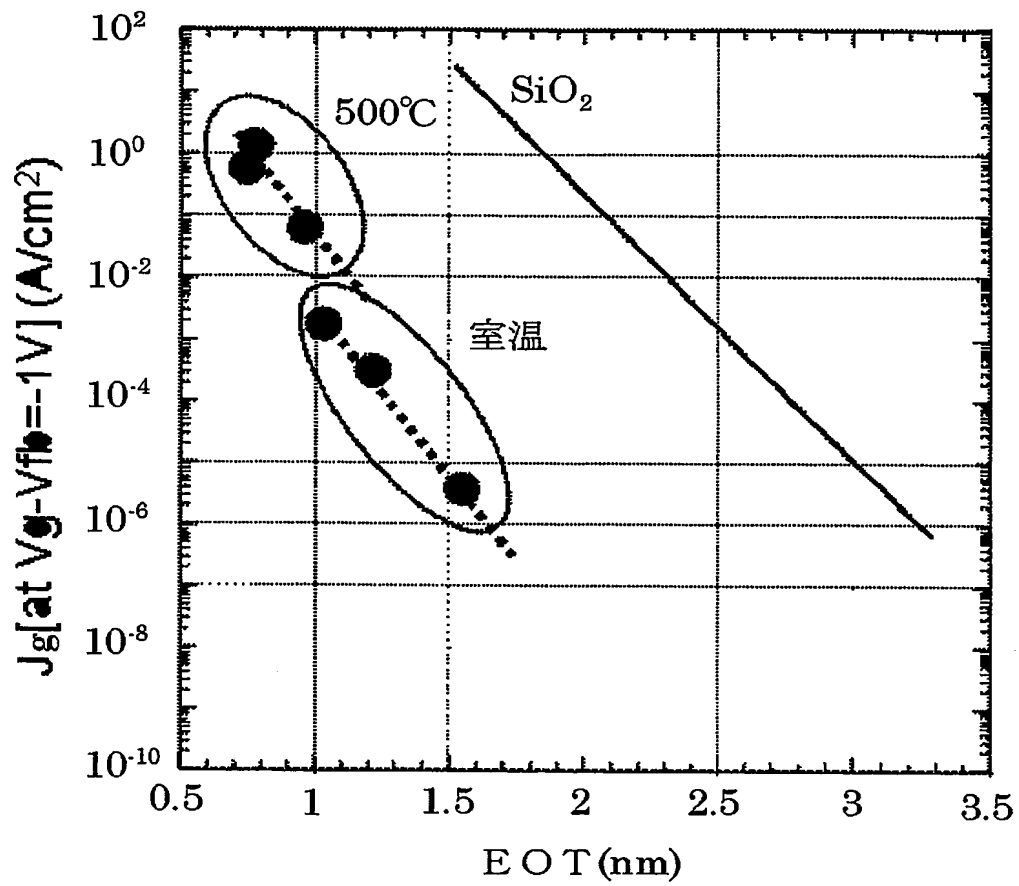


【図 4】

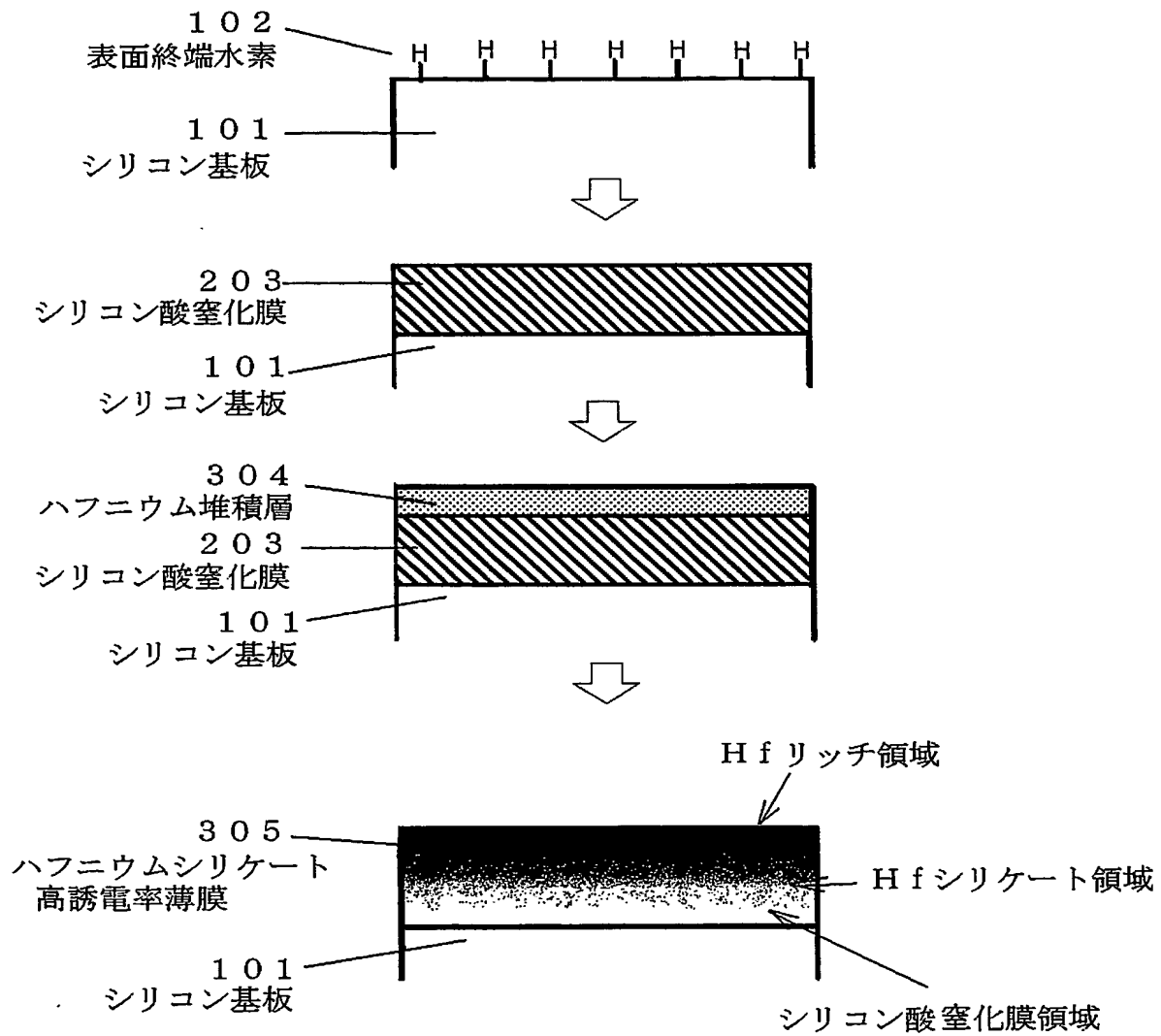


- 101 シリコン基板
- 401 成膜チャンバー
- 402 ウェハ導入チャンバー
- 403 ウェハ搬送系
- 405 基板加熱機構
- 406 Eガン蒸着機構
- 407 主排気ポンプ
- 408 粗引き系ポンプ

【図 5】

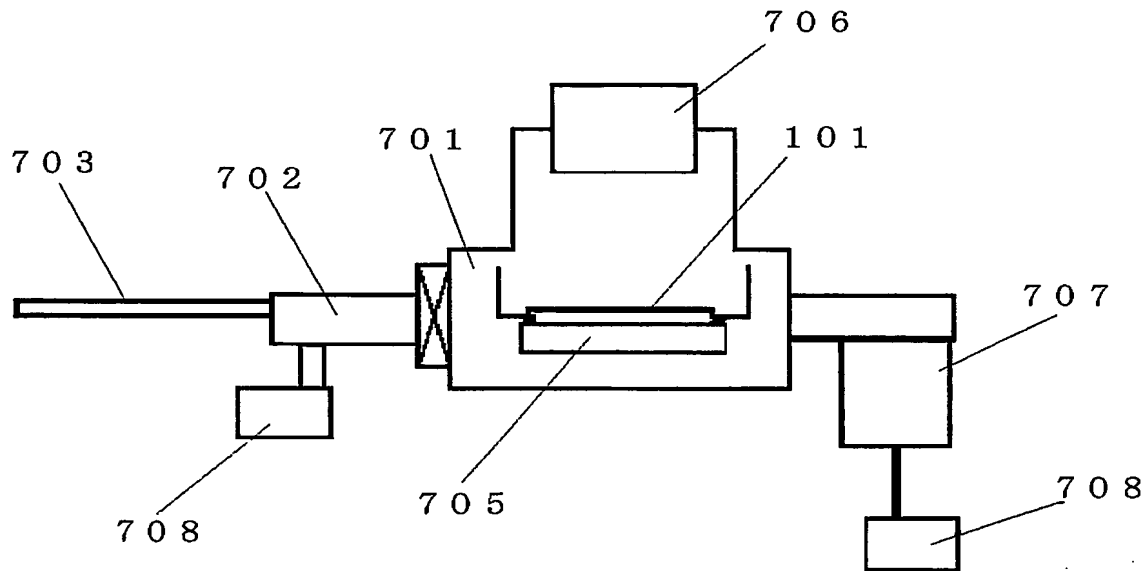


【図 6】





【図 7】



- 101 シリコン基板
- 701 成膜チャンバー
- 702 ウエハ導入チャンバー
- 703 ウエハ搬送系
- 705 基板加熱機構
- 706 スパッタ蒸着機構
- 707 主排気ポンプ
- 708 粗引き系ポンプ

【書類名】 要約書

【要約】

【課題】 本発明は、高誘電率薄膜とシリコン基板との界面に良質のシリコン酸化膜／シリコン界面を有したゲート絶縁膜構造の形成を可能し、高誘電率絶縁膜の実用化において課題となっていた界面電気特性の改善を図ることができる半導体装置および半導体製造方法を提供することを課題とする。

【解決手段】 シリコン基板 101 表面に下地シリコン酸化膜 103 を形成した後、下地シリコン酸化膜 103 表面に高誘電率膜を構成する金属元素を供給する金属層堆積工程と熱処理工程ちによって金属元素を下地シリコン酸化膜 103 中に拡散させることでシリケート層 105 をゲート絶縁膜として形成する。シリケート層 105 は、シリコン酸化膜領域とシリケート領域と金属リッチ領域とからなり、金属組成が上部に行くほど高く、シリコン組成が下部に行くほど高くなる組成変調を有したシリケート構造が形成される。

【選択図】 図 1

特願 2 0 0 2 - 2 0 6 6 7 8

出 願 人 履 歷 情 報

識別番号

[ 0 0 0 0 0 4 2 3 7 ]

1. 変更年月日

1 9 9 0 年 8 月 2 9 日

[変更理由]

新規登録

住 所

東京都港区芝五丁目 7 番 1 号

氏 名

日本電気株式会社

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☒ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**